

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 3 1 2 5 5 2

(43) 公開日 平成 7 年 (1995) 11 月 28 日

(51) Int. Cl. ⁶

H03M 1/08

1/66

識別記号

庁内整理番号

F I

技術表示箇所

B

B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平 6 - 1 0 3 1 4 9

(22) 出願日 平成 6 年 (1994) 5 月 1 8 日

(71) 出願人 0 0 0 0 0 5 4 2 9

日立電子株式会社

東京都千代田区神田和泉町 1 番地

(72) 発明者 都丸 史人

東京都小平市御幸町 3 2 番地 日立電子株式会社開発研究所内

(72) 発明者 大西 誠

東京都小平市御幸町 3 2 番地 日立電子株式会社開発研究所内

(74) 代理人 弁理士 高橋 明夫 (外 1 名)

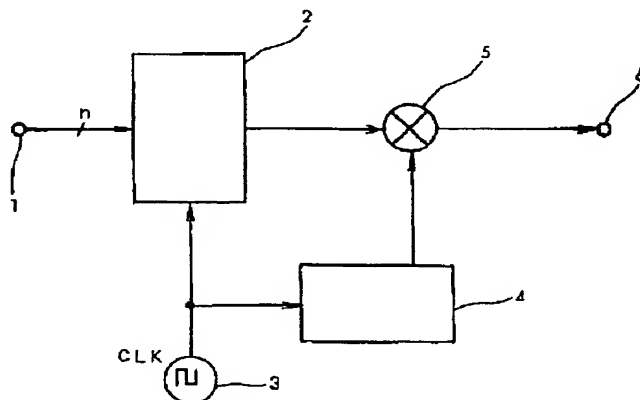
(54) 【発明の名称】 D A 変換装置

(57) 【要約】

【目的】 D A 変換器の出力である 1 0 0 % デューティの P A M 信号に、簡易な構成の回路から得られる周波数領域を任意とするアパーチャ補正のための補正パルスに乗ずることにより、サンプリングによって生ずる高調波を有効に利用できる D A 変換装置を提供する。

【構成】 D A 変換器と、クロック信号の周期を持つ補正パルスを発生する補正パルス発生回路と、乗算器を備える。通常の D A 変換器出力である 1 0 0 % デューティの P A M 波に乗ずることにより、周波数特性を補正しサンプリングによって生ずる高調波成分を有効に利用できる D A 変換装置。

図 1



1...デジタル信号入力端子 2...D A 変換器 3...クロック信号発生器 4...補正パルス発生回路 5...乗算器 6...アナログ信号出力端子

【特許請求の範囲】

【請求項 1】 D A 変換器とアバーチャ歪補正回路とを有し、クロック信号の周期に従いデジタル信号を変換したアナログ信号にアバーチャ歪補正を行う D A 変換装置において、補正パルス発生回路と乗算器とを持つアバーチャ歪補正回路を備えたことを特徴とする D A 変換装置。

【請求項 2】 請求項 1 記載のものにおいて、クロック信号の周期を持ち任意のデューティおよび振幅の補正パルスを発生する補正パルス発生回路を備えたことを特徴とする D A 変換装置。

【請求項 3】 請求項 1 記載のものにおいて、クロック信号の周期を持ちデューティおよび振幅を任意とする 2 つのパルスを合成することにより補正パルスを発生する補正パルス発生回路を備えたことを特徴とする D A 変換装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、デジタル信号をアナログ信号に変換する D A 変換装置（デジタルーアナログ変換装置）の改良に関するものである。

【 0 0 0 2 】

【従来の技術】 最新の電子機器は、信号処理をすべてデジタル信号処理で行うほどにデジタル技術の発達が進んでいる。しかし、周知のように、通常自然発生的に得られる音声信号や映像信号等はアナログ信号として得られる。したがって信号処理をデジタル信号で行うために、まず、アナログ信号をデジタル信号に変換する必要がある、その目的に A D 変換装置（アナログーデジタル変換装置）が使用され、デジタル信号処理の結果をアナログ信号に戻すために D A 変換装置が使用されている。また、前記 A D 変換装置および D A 変換装置で音声信号や映像信号等を信号処理するには、良く知られている「入力される音声信号や映像信号等のアナログ信号が周波数 f 、よりも高い周波数を含まない信号（帯域制限された信号）である場合、繰返し周波数が $2 f$ 、よりも大きいパルス列で標本化を行えば、そのパルス列から原信号を再生できる」というナイキストの定理（標本化定理）に従い信号処理を行うことが基本となっている。しかしながら、前記ナイキストの定理に従い信号処理を行った場合、歪が発生するという問題がある。

【 0 0 0 3 】 従来技術による D A 変換装置について、図 2 ～ 図 4 を使用して説明する。図 2 に、デジタル信号をアナログ信号に変換する最も基本的な D A 変換装置のブロック図を示す。図 2 において、1 はアナログ信号に変換するデジタル信号の入力端子、2 はデジタル信号をアナログ信号に変換する D A 変換器、3 はデジタル信号のサンプリング周期と一致した周期のクロック信号を発生するクロック信号発生器、7 は、D A 変換器 2

から出力された信号の歪を補正するためのアバーチャ歪補正用フィルタ、6 はデジタル信号から変換され歪を補正されたアナログ信号の出力端子を示す。

【 0 0 0 4 】 図 3 は、デジタル信号が D A 変換器で変換され出力されたアナログ信号とデジタル化される前の原アナログ信号との関係を示す図であり、 a は原アナログ信号、 b は D A 変換器から出力されたアナログ信号、 $C L K$ はクロック信号、 T はクロック信号の周期を示す。図 4 は、デジタル信号が D A 変換器で変換され出力されたアナログ信号の周波数特性を示す図である。

【 0 0 0 5 】 従来技術による D A 変換装置の動作について説明する。図 2 において、デジタル信号入力端子 1 には、 n ビットのデジタル信号が印加され、D A 変換器 2 に入力される。このとき D A 変換器 2 には、入力されたデジタル信号とサンプリング周期の一致したクロック信号をクロック信号発生器 3 より入力する。 n ビットのデジタル信号とクロック信号とを入力された D A 変換器 2 では、クロック信号の周期に従ってデジタル信号がアナログ信号に変換され、アバーチャ歪補正用フィルタ 7 へ出力される。アバーチャ歪補正用フィルタ 7 に入力されたアナログ信号は、アバーチャ歪を補正されたアナログ信号となり出力端子 6 から出力される。この D A 変換器 2 から出力されるアナログ信号は、アナログ信号と言っても、通常、図 3 に示すようにクロック信号 $C L K$ と周期の一致したアナログの性質を持つデューティ 1 0 0 % の P A M（パルス振幅変調）信号パルス列 b となる。ここで、この D A 変換器 2 の出力信号の周波数特性について考えてみる。

【 0 0 0 6 】 図 3 に示す原アナログ信号 a が、ナイキストの定理に従い、その周波数帯域を $f_s / 2$ （ $1 / 2 T$ 、 f_s ：サンプリング周波数）以下に帯域制限されているものとする、D A 変換器 2 の出力 P A M 信号 b の周波数特性は、図 4 に示すようにサンプリング周波数ごとに繰り返す信号となり、さらには、図 3 に示す P A M 信号 b の各孤立矩形パルスのフーリエ変換が掛けられた特性となる。この孤立矩形パルスのフーリエ変換の特性による高域成分の振幅劣化（図 4 の a' で示す点線部分は、アバーチャ効果を受けないときのスペクトラム）のため、図 4 に示すようにナイキスト周波数（ $f_s / 2$ ）付近の信号成分は約 4 d B 程度劣化することになる。また、ナイキスト周波数以上の信号成分も、アバーチャ効果の特性に従い劣化している。したがって、特にデジタル信号に変換する前の原アナログ信号の周波数成分がナイキスト周波数付近まで伸びておりその周波数成分を必要とする場合、あるいは、D A 変換装置以後の装置においてサンプリングによる高調波成分を積極的に利用する場合には、図 2 に示すようにアバーチャ歪補正用フィルタ 7 等を使用して振幅劣化補正を行うことが必須となる。

【 0 0 0 7 】 このように、D A 変換装置の後段にアバー

チャ歪補正用フィルタを使用して振幅劣化補正を行い、D A 変換装置以後の装置においてサンプリングによる高調波成分を積極的に利用する一例として無線機の場合を説明する。デジタル信号処理による無線機の場合、通常、D A 変換装置の出力を無線周波数まで周波数変換を行い利用するため、周波数変換を行う際、通信機に要求されるスプリアス特性と、中間周波フィルタおよび高周波フィルタとの特性等から、ダブルスーパーヘテロダイン方式、場合によっては図 5 に示すトリプルスーパーヘテロダイン方式が多く用いられる。図 5 は、トリプルスーパーヘテロダイン方式の説明図で、D A 変換装置以後の中間周波段、高周波段を示している。図 5 において、D A 変換装置 1 0 の出力は、それぞれ局部発振周波数の信号が入力されている混合回路 1 1、1 3、1 5 とバンドパスフィルタ 1 2、1 4、1 6 を通り、中間周波、高周波となりアンテナ 1 7 から送信される。

【0008】ここで、部品点数削減による小型化、低消費電力化などを考慮すると、前記周波数変換の回数は極力少ないことが望まれる。また、周波数変換の回数が少ないと、周波数変換前の中間周波が高くなり、後段のスプリアス抑圧用の高周波（中間周波）フィルタの設計が容易となるという利点がある。したがって、D A 変換装置の出力の周波数は、後段回路の周波数変換の回数を少なくするためには、できるだけ無線周波数に近い高い周波数であることが望ましい。しかし、反対に、D A 変換装置の低価格化、低消費電力化を図るためには、D A 変換装置の出力の周波数をできるだけ低く抑える必要がある。この相反する要求を満たすためには、D A 変換装置の出力信号の高調波成分を積極的に利用することが必要であり、前記したようにアパーチャ効果による劣化の補正も必然的に必要となってくる。D A 変換装置の出力信号における特性劣化を補償する従来技術として、例えば特開昭 6 0 - 1 8 7 1 3 3 号公報、特開昭 6 3 - 2 4 5 1 2 9 号公報が知られている。このうち、前記特開昭 6 0 - 1 8 7 1 3 3 号公報は、D A 変換した出力として得られる階段波 $F(t)$ と、該階段波 $F(t)$ より標準化周期 T だけ位相の遅れた階段波 $F(t-T)$ との段差 $F(t) - F(t-T)$ に所定の係数 k を乗じた $k\{F(t) - F(t-T)\}$ を前記 $F(t)$ に加える補正手段を備えたことによって、アパーチャ効果による特性劣化を補正するものである。また、前記特開昭 6 3 - 2 4 5 1 2 9 号公報は、デジタルデータに単位パルス応答信号を乗算し、該乗算結果を加算手段で合成、累算することによって、主として出力信号の位相歪を低減することを目的とした D A 変換装置である。

【0009】

【発明が解決しようとする課題】しかし、前記従来技術による D A 変換装置においては、以下に示す問題点がある。

(a) 上記図 2 に示す D A 変換装置では、アパーチャ効

果による特性劣化の補正を行うアパーチャ歪補正用フィルタとしてアナログフィルタが使用されているため、回路規模が大きくなり、装置の大型化、コストの上昇という問題を招いていた。また、補正する周波数領域をどの周波数領域とするかにより、その都度その周波数領域に合致した回路に変更しなければならないという欠点もあった。

(b) 同様に、前記特開昭 6 0 - 1 8 7 1 3 3 号公報に記載された D A 変換装置においても、補正回路の構成としてアナログ遅延手段、第 1 および第 2 のアナログ加算手段、ならびにアナログ乗算手段が必須であることから、回路規模が大きくなり、装置の大型化、コストの上昇という問題を招来していた。

(c) 前記特開昭 6 3 - 2 4 5 1 2 9 号公報に記載された D A 変換装置は、乗算型 D A 変換装置 (M D A C) を使用して、デジタルデータにデジタルの重み係数を乗算し、該乗算結果 (アナログ) を加算増幅器で累算する構成である。すなわち、入力がデジタル信号、出力がアナログ信号であるトランスバーサルフィルタ (あるいは F I R フィルタ) の構成となっている。したがって、かかる構成でアパーチャ効果を補正するためには、通常のフィルタ同様、高域の利得を大きくする周波数補正を行うことになる。しかし、この D A 変換装置における信号処理は完全に線形の処理であるので、ナイキスト周波数以上の信号は取り扱えないという問題があった。

【0010】本発明者は、D A 変換装置のアパーチャ効果の補正について研究した結果、D A 変換装置の出力信号に所定の補正パルスを乗算することによって、きわめて簡易な構成の回路を使用して、ナイキスト周波数以上の周波数も含む所望の周波数帯域のアパーチャ効果の補正を可能とした。本発明の第 1 の目的は、簡易な回路構成で、ナイキスト周波数以上の周波数も含む所望の周波数帯域において、アパーチャ効果による振幅劣化を補正できる D A 変換装置を提供することにある。本発明の第 2 の目的は、アパーチャ効果による高域成分の振幅劣化を補正し、サンプリングによって現れる高調波を利用できる D A 変換装置を提供することにある。

【0011】

【課題を解決するための手段】前記第 1 と第 2 の目的を達成するため、本発明の D A 変換装置は、D A 変換器とアパーチャ歪補正回路とを有し、クロック信号の周期に従いデジタル信号を変換したアナログ信号にアパーチャ歪補正を行う D A 変換装置において、補正パルス発生回路と乗算器とを持つアパーチャ歪補正回路を備えたものである。また、詳しくは、本発明の D A 変換装置は、クロック信号の周期を持ち任意のデューティおよび振幅の補正パルスを発生する補正パルス発生回路を備えたものであり、また、クロック信号の周期を持ちデューティおよび振幅を任意とする 2 つのパルスを合成することにより補正パルスを発生する補正パルス発生回路を備えた

ものである。

【 0 0 1 2 】

【作用】 D A 変換装置は、 D A 変換器とアパーチャ歪補正回路とを有し、クロック信号の周期に従いデジタル信号を変換したアナログ信号にアパーチャ歪補正を行う D A 変換装置であり、補正パルス発生回路と乗算器とを持つアパーチャ歪補正回路で D A 変換器から出力されたアナログ信号のアパーチャ歪を補正する。また、詳しくは、クロック信号の周期を持ち任意のデューティおよび振幅の補正パルスを発生する補正パルス発生回路で D A 変換器から出力されたアナログ信号のアパーチャ歪を補正する。また、クロック信号の周期を持ちデューティおよび振幅を任意とする 2 つのパルスを合成することにより補正パルスを発生する補正パルス発生回路で D A 変換器から出力されたアナログ信号のアパーチャ歪を補正する。

【 0 0 1 3 】

【実施例】本発明による D A 変換装置の一実施例を図 1、図 6、図 7 を使用して説明する。図 1 に、デジタル信号をアナログ信号に変換する本発明による D A 変換装置のブロック図を示す。図 1 において、1 はアナログ信号に変換するデジタル信号の入力端子、2 はデジタル信号をアナログ信号に変換する D A 変換器、3 はデジタル信号のサンプリング周期と一致した周期のクロック信号を発生するクロック信号発生器（3 をクロック信号入力端子とし、外部のクロック信号発生器からサンプリング周期と一致した周期のクロック信号が入力されるものであっても良い）、4 はクロック信号を入力信号とする補正パルス発生回路、5 は、D A 変換器 2 から出力されたアナログ信号と補正パルス発生回路 4 から出力された補正パルス信号とを入力とする乗算器、6 はデジタル信号から変換され補正されたアナログ信号の出力端子を示す。図 6 は、図 1 に示す D A 変換装置の各部の波形を示す。図 6 において、(a) は D A 変換器 2 の出力信号、(b) はクロック信号発生器 3 から出力されたクロック信号、(c) は補正パルス発生回路 4 から出力される補正パルス、(d) は乗算器 5 から出力された D A 変換器 2 の出力信号が補正された出力信号を示す。

【 0 0 1 4 】つぎに動作を説明する。図 1 において、デジタル信号入力端子 1 には、 n ビットのデジタル信号が印加され D A 変換器 2 に入力される。このとき D A 変換器 2 には、入力されたデジタル信号とサンプリング周期 T の一致した図 6 (b) に示すクロック信号をクロック信号発生器 3 より入力する。 n ビットのデジタル信号と該デジタル信号とサンプリング周期 T の一致したクロック信号とを入力された D A 変換器 2 では、クロック信号の周期に従ってデジタル信号が図 6 (a) に示すアナログ信号に変換され、乗算器 5 へ出力される。この D A 変換器 2 から出力される図 6 (a) に示すアナログ信号は、上記したように、図 6 (b) に示すク

ロック信号 C L K と周期の一致したアナログの性質を持つデューティ 1 0 0 % の P A M 信号パルス列となっている。したがって、上記したように、前記 D A 変換器 2 の出力 P A M 信号の周波数特性は、原アナログ信号の周波数特性に、P A M 信号の各孤立矩形パルスのフーリエ変換がかけられた特性となる。

【 0 0 1 5 】一方、クロック信号発生器 3 から出力されたクロック信号は、補正パルス発生回路 4 にも送られており、入力されたクロック信号により補正パルス発生回路 4 で所定の波形を持つ図 6 (c) に示す補正パルスが発生され、乗算器 5 へ出力される。補正パルス発生回路 4 は、入力されたクロック信号により複数のパルスを発生し、この複数のパルスを合成することによって補正パルスを発生する。図 6 (c) は補正パルスの一例であって、周期 T 、パルス幅 $W = T / 2$ (デューティ 5 0 %)、振幅 ± 1 のパルス信号の例を示している。図 6

(c) に示す補正パルスの詳細を図 7 を使用して説明する。図 6 (c) に示す補正パルスは、図 7 に示す補正パルス (c) が連続したものを示している。また、図 7 に示す補正パルス (c) は、図 7 (a) のパルスと図 7 (b) のパルスを合成することにより発生するものである。

【 0 0 1 6 】図 7 (a) (b) (c) に示す各パルスのフーリエ変換は、図 7 (d) に示すように、パルス (a) は周波数特性 i 、パルス (b) は周波数特性 j として表わすことができ、パルス (a) と (b) を合成した補正パルス (c) は、周波数特性 k として表わすことができる。したがって、前記パルス (a) および (b) のデューティおよび振幅を変化させ合成することにより任意の周波数特性の補正パルス (c) を得られる。補正パルス発生回路 4 の出力信号として図 6 (c) に示す補正パルスを乗算器 5 へ出力し、D A 変換器 2 の出力信号に乗算することにより図 6 (d) に示すように、出力信号の周波数特性を変化させ、アパーチャ効果による特性劣化を補正したアナログ信号をアナログ信号出力端子 6 から出力することができる。例示すると、前記したように補正パルスの周波数特性が図 7 (d) の k である場合、例えば、周期 $T = 5 0 \text{ ns}$ (クロック周波数 $1 / T = 2 0 \text{ MHz}$) とすると、アパーチャ効果による振幅劣化を補正できる周波数帯域は $1 / (5 / 4 \cdot T) = 2 5 \text{ MHz}$ 近傍となる。

【 0 0 1 7 】本発明による補正パルス発生回路と乗算器とを持つアパーチャ歪補正回路を使用して振幅劣化補正を行い、D A 変換装置以後の装置においてサンプリングによる高調波成分を積極的に利用する一例として無線機の場合を説明する。図 8 は、本発明による D A 変換装置を使用して、中間周波段、高周波段をダブルスーパーヘテロダイン方式としたものを示している。図 8 において、D A 変換装置 2 0 の出力は、それぞれ局部発信周波数の信号が入力されている混合回路 2 1、2 3 とバンドパス

フィルタ 2 2、2 4 を通り、中間周波、高周波となり、高周波電力増幅器 2 5 で増幅されアンテナ 2 6 から送信される。図 8 に示す装置に、FM 送信機を想定して具体的な周波数を示すと、図 8 に示すように、D A 変換装置のクロック信号は 8. 5 6 M H z、混合回路 2 1 に入力される信号の局部発信周波数は 1 0. 7 M H z、混合回路 2 3 に入力される信号の局部発信周波数は 6 5. 3 ~ 7 9. 3 M H z の特定周波数となり、7 6 ~ 9 0 M H z の特定周波数が得られ電力増幅され送信される。通常、D A 変換装置出力を用いる場合、アナログ信号に変換後の信号周波数は、ナイキスト周波数 $f_s / 2$ (f_s : サンプル周波数) により制限されており、当然、アナログ信号の周波数が高くなるほど、D A 変換装置のクロック信号 (サンプル周波数) は高くなる。しかし、本発明に示すようにアパーチャ歪補正を行うことで f_s 付近の周波数のアナログ信号を再現し使用できるため、再現するアナログ信号の周波数が同じであれば、本発明を用いた場合、クロック信号周波数を大幅に下げることができ、高精度化、低消費電力化が可能となる。

【 0 0 1 8 】

【発明の効果】本発明によれば、クロック信号に応じて所望の補正パルスを発生する補正パルス発生回路と乗算器のみのきわめて簡易な回路構成で、アパーチャ効果による振幅劣化を補正できるため、L S I 化も容易で、装置を小型化、低価格化、低消費電力化することができる。また、本発明では、乗算処理において波形の掛け算処理 (非線形処理) を行っているため、スペクトルが移動し、ナイキスト周波数以上の信号も取り扱うことができる。したがって、所望の周波数帯域においてアパーチャ効果による振

幅劣化を補正できる D A 変換装置を実現することができる。さらに、アパーチャ効果による高域成分の振幅劣化を補正することで、サンプリングによって現れる高調波を利用できるため、特に無線機のように、D A 変換装置の後段回路で高周波に変換する必要がある機器において、D A 変換装置の後段回路も簡素化でき、その効果は顕著である。

【図面の簡単な説明】

【図 1】本発明による D A 変換装置のブロック図。

【図 2】従来技術による D A 変換装置のブロック図。

【図 3】D A 変換器の出力信号と原アナログ信号との関係を説明する図。

【図 4】D A 変換器の出力信号周波数特性を説明する図。

【図 5】従来技術による D A 変換装置を持つ無線機の説明図。

【図 6】本発明による D A 変換装置の各部波形図。

【図 7】本発明による D A 変換装置の補正パルス発生回路で発生する補正パルスの発生と周波数特性を説明する図。

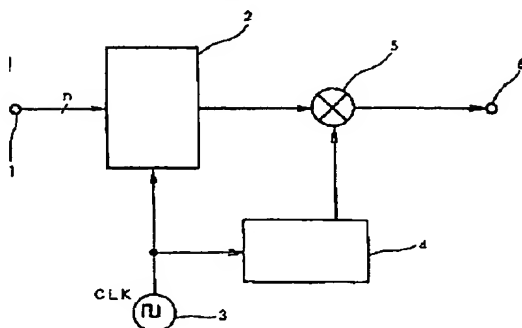
【図 8】本発明による D A 変換装置を持つ無線機の説明図。

【符号の説明】

1 … デジタル信号入力端子、2 … D A 変換器、3 … クロック信号発生器、4 … 補正パルス発生回路、5 … 乗算器、6 … アナログ信号出力端子、7 … アパーチャ歪補正用フィルタ、1 0 … D A 変換装置、1 1、1 3、1 5、2 1、2 3 … 混合回路、1 2、1 4、1 6、2 2、2 4 … バンドパスフィルタ、1 7、2 6 … アンテナ、2 0 … D A 変換装置、2 5 … 高周波電力増幅器。

【図 1】

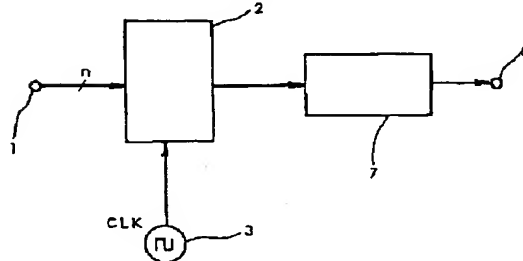
図 1



1 … デジタル信号入力端子 2 … D A 変換器 3 … クロック信号発生器
4 … 補正パルス発生回路 5 … 乗算器
6 … アナログ信号出力端子

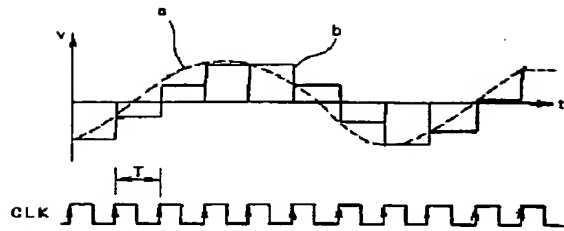
【図 2】

図 2



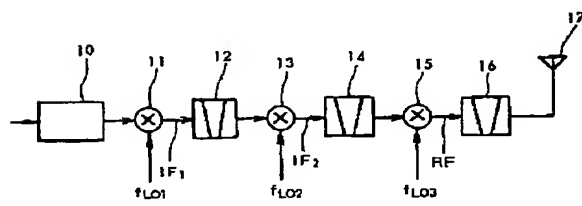
【図 3】

図 3



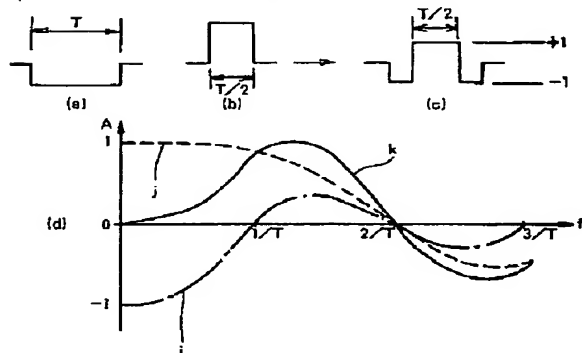
【図 5】

図 5



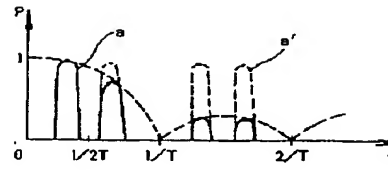
【図 7】

図 7



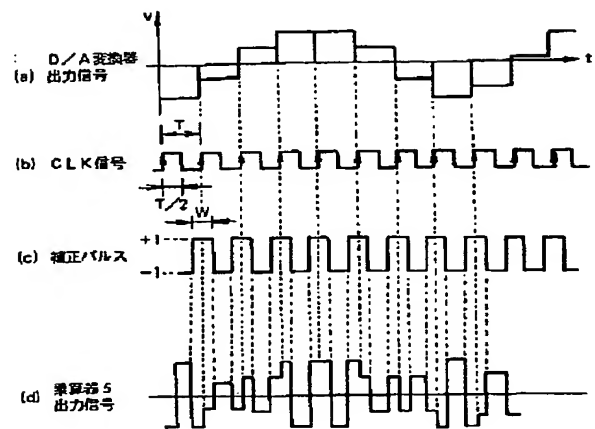
【図 4】

図 4



【図 6】

図 6



【図 8】

図 8

